

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-347412
(43)Date of publication of application : 27.12.1993

(51)Int.Cl. H01L 29/784
H01L 21/90
H01L 29/40

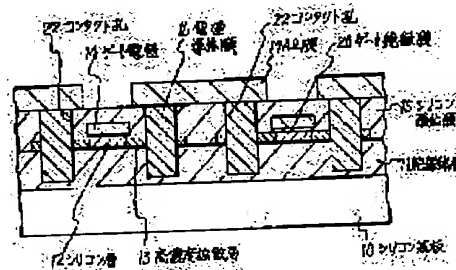
(21)Application number : 04-154886 (71)Applicant : NEC CORP
(22)Date of filing : 15.06.1992 (72)Inventor : KUROSAWA SUSUMU

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To reduce a thermal resistance by a method wherein a contact hole reaches an insulating layer under a semiconductor layer and an electrode conductor film is brought into contact with the insulating layer in the contact hole.

CONSTITUTION: A whole MOS-FET is covered with a silicon oxide film 15. The silicon oxide film 15, a high impurity concentration diffused layer 13 and an insulating layer 11 are partially removed at the parts of the contact holes 22 and electrode conductor films 16 such as W films are buried in the contact holes 22. The side surfaces and bottom surfaces of the electrode conductor films 16 are brought into contact with the insulating layer 11 and Al films 17 are connected to the top surfaces of the electrode conductor films 16 to provide interconnection. It is desirable to have the thickness of the insulating film 11 remaining under the bottom of the contact hole as small as possible but, taking the variation of the film thickness and etching into account, the thickness about 0.5 microns is recommended. In a semiconductor integrated circuit having an SOI structure, heat generated in a transistor region can be discharged easily into a silicon substrate 10 through the contact hole part. As the thickness of the insulating layer 11 under the contact hole is 1/4 of the film thickness of a conventional constitution, the thermal resistance can be also about 1/4.



LEGAL STATUS

[Date of request for examination] 28.06.1996
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 2776149

(19)日本国特許庁(J P)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-347412

(43)公開日 平成5年(1993)12月27日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
21/90	D	7735-4M		
29/90	A	9055-4M		
		9066-4M		
			H 0 1 L 29/ 78	3 1 1 S

審査請求 未請求 請求項の数5(全 4 頁)

(21)出願番号 特願平4-154936
(22)出願日 平成4年(1992)6月15日

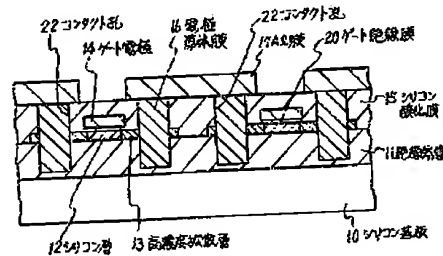
(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72)発明者 黒澤 晋
東京都港区芝五丁目7番1号日本電気株式
会社内
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】半導体素子領域で発生した熱が速やかに半導体基板に伝わるような熱抵抗の小さいSOI型集積回路を提供する。

【構成】SOI型集積回路において、コンタクト孔を少なくとも半導体層下の絶縁体層まで達するように形成し、電極導体膜で埋め込む。コンタクト孔が半導体基板まで達するように構成する場合は、電極導体膜と半導体基板間にショットキー接合を形成させる。



【特許請求の範囲】

【請求項1】 半導体基板上に設けられた絶縁体層と、前記絶縁体層上に設けられ半導体素子を形成する半導体層と、前記半導体層上に設けられた絶縁層と、前記絶縁層に形成されたコンタクト孔と、前記コンタクト孔に充填されて前記半導体層に形成された前記半導体素子の所定部に接続する電極導体層とを有する半導体集積回路において、前記コンタクト孔は前記半導体層下の前記絶縁体層にまで達しそこで前記電極導体層が前記絶縁体層に接していることを特徴とする半導体集積回路。

【請求項2】 前記コンタクト孔が前記絶縁体層の内部に入り込み前記電極導体層の側面と底面が前記絶縁体層に接していることを特徴とする請求項1に記載の半導体集積回路。

【請求項3】 前記コンタクト孔が前記絶縁体層を貫通して前記半導体基板の内部に入り込み、前記電極導体層の側面が前記絶縁体層と前記半導体基板に接し底面が前記半導体基板に接していることを特徴とする請求項1に記載の半導体集積回路。

【請求項4】 前記電極導体層は前記半導体基板とショットキー接合を形成していることを特徴とする請求項3に記載の半導体集積回路。

【請求項5】 前記半導体基板は不純物濃度が $1 \times 10^{11} \text{ cm}^{-3}$ 以下のN型シリコン基板であることを特徴とする請求項4に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路に係わり、超高速と超高集積度を両立させた半導体集積回路に関する。

【0002】

【従来の技術】 半導体集積回路、特にCMOS-LSIは、高速化と集積度の向上が続いており、今後もこれらの性能の一層の向上が要求されている。

【0003】 今までの性能向上は主にスケーリングで達成されてきた。サブミクロンまでは一定の電源電圧のもとにスケーリングが成されてきたために、動作速度の大幅な向上を達成することができた。しかしサブミクロン以降では電源電圧も低下せざるおえないために、単にスケーリングだけでは動作速度の向上傾向に陰りが見えてきている。

【0004】 そのために、これらの壁を乗り越えようと新しい技術の開発が進められている。絶縁体層上に半導体素子を形成した半導体層を設けた、いわゆるSOI構造もその一つである。

【0005】 図3は従来技術のSOI構造の半導体集積回路の一例を示す断面図である。シリコン半導体基板10上に絶縁体層11が設けられ、さらにその上にシリコン半導体層12が設けられている。このシリコン半導体層の一部にソース、ドレイン領域となる高濃度拡散層1

3が形成され、ゲート絶縁層20上のゲート電極14と共にMOSFETを構成している。

【0006】 MOSFET全体は絶縁層としてのシリコン酸化膜15によって覆われ、コンタクト孔21の部分の酸化膜が除去されてW(タングステン)等の電極導体層20が埋め込まれ、Al(アルミニウム)配線層17で相互配線がなされる。SOI構造は、絶縁体層上のシリコン層を種々の方法で単結晶化させたり、シリコン基板中に酸素原子をイオン注入して内部に絶縁体層としての酸化膜層を形成したりして得られる。

【0007】 SOI構造のMOSFETでは、拡散層の容量が極めて小さくでき、またシリコン層の厚さを百ナノメートル以下にした場合にオン電流が増大することが報告され、注目を集めている。またSOI構造では、個々のトランジスタを形成する活性領域が絶縁体で完全に分離されているため、通常のバルクCMOSのようなウェルは必要がない。そのため、NチャネルMOSFETとPチャネルMOSFETを非常に近く配置することができ、集積度の点でも有利である。

【0008】

【発明が解決しようとする課題】 しかしながら、上述したSOI構造の集積回路においては、以下に示すような問題点がある。

【0009】 集積回路では、特にトランジスタ領域で熱が発生する。この発熱量は相当なもので、時には数十ワットにも達する。そのため集積回路装置では、様々な放熱の対策が施されているが、集積回路の温度は数十度、時には百度近く上昇する。温度上昇は集積回路に多くの弊害をもたらす。キャリアの移動度が低下するためにトランジスタのオン電流が低下し、メタル配線の抵抗成分が増大するために配線遅延が増大する。MOSFETのしきい値電圧が低下しオフ電流が増加するために待機時の消費電力が増大する。また多くの点で信頼性が低下する。

【0010】 SOI構造でない従来の集積回路では、トランジスタ領域で発生した熱は主に半導体基板を通過してチップ裏面が接しているパッケージに逃げる。半導体基板、例えばシリコンは非常に熱を伝えやすいため、発生した熱は速やかにパッケージに逃げることもできる。

【0011】 しかし従来のSOI構造の集積回路では、トランジスタ領域と半導体基板との間には厚い(例えば数ミクロン)絶縁層あるいは絶縁体層が存在する。絶縁物質、例えばシリコン酸化物は熱を伝え難いため、発生した熱は速やかにパッケージに逃げるができずに温度上昇が激しくなる。

【0012】

【課題を解決するための手段】 本発明の特徴は、半導体基板上に設けられた絶縁体層と、前記絶縁体層上に設けられ、トランジスタ等の半導体素子を形成する半導体層と、前記半導体層上に設けられた絶縁層と、前記絶縁層

に形成されたコンタクト孔と、前記コンタクト孔に充填されて前記半導体層に形成された前記半導体素子の所定部に接続する電極導体膜とを有する半導体集積回路において、前記コンタクト孔は前記半導体層下の前記絶縁体層にまで達しそこで前記電極導体膜が前記絶縁体層に接している半導体集積回路にある。そして、前記コンタクト孔が前記絶縁体層の内部に入り込み前記電極導体膜の側面と底面が前記絶縁体層に接していることが好ましい。

【0013】さらに本発明は、前記コンタクト孔が前記絶縁体層を貫通して前記半導体基板の内部に入り込み、前記電極導体膜の側面が前記絶縁体層と前記半導体基板に接し底面が前記半導体基板に接することが出来る。この場合、前記半導体基板は、たとえば不純物濃度が $1 \times 10^{14} \text{ cm}^{-3}$ 以下のN型シリコン基板であり、前記電極導体膜は前記半導体基板とショットキー接合を形成していることが好ましい。

【0014】

【実施例】次に、本発明の実施例について図面を参照して説明する。図1は本発明の第1の実施例を説明するための断面図である。

【0015】シリコン半導体基板10上に絶縁体層11が設けられ、さらにその上にシリコン半導体層12が設けられている。このシリコン半導体層の一部にソース、ドレイン領域となる高濃度拡散層13が形成され、ゲート絶縁膜20上のゲート電極14と共に半導体素子であるMOSFETを構成している。MOSFET全体はシリコン酸化膜15によって覆われ、コンタクト孔22の部分のシリコン酸化膜15、高濃度拡散層13及び絶縁体層11の一部が除去されてW（タングステン）等の電極導体膜16が埋め込まれてその側面と底面が絶縁体層11に接し、Al（アルミニウム）膜17が電極導体膜16の上面に接続して相互配線がなされる。

【0016】ゲート長がハーフミクロン程度の素子に本実施例を適用する場合、シリコン半導体層12の厚さは百nm以下が適切である。絶縁体層11の厚さは、酸素原子をシリコン基板10にイオン注入して形成する場合は、例えば2.0ミクロン程度である。コンタクト孔部分の絶縁体層11の残膜は薄いほど良いが、膜厚やエッチングのばらつきを考慮して0.5ミクロン程度に設定するのが適切である。

【0017】本発明のSOI構造の半導体集積回路では、トランジスタ領域で発生した熱をコンタクト孔部分を介して容易にシリコン基板に逃がすことができる。従来構造と比較するとコンタクト孔下の絶縁体層の厚さは1/4になるため、熱抵抗もほぼ1/4にすることができる。

【0018】図2は本発明の第2の実施例を説明するための断面図である。コンタクト孔23は絶縁体層11を

突き抜けてシリコン基板10まで達しており電極導体膜18の側面が絶縁体層11とシリコン基板10に接し底面はシリコン基板10に接している。シリコン基板として、例えば不純物濃度が $1 \times 10^{14} \text{ cm}^{-3}$ 以下のN型シリコンを用いると、電極導体膜18との間に良好なショットキー接合を形成させることができる。そのため、シリコン基板10を集積回路内で使用する最高電位に設定しておけば、導体膜18とシリコン基板10とを電気的に絶縁状態にすることができる。なお、シリコン基板10にP型シリコンを用いる場合には、集積回路内で使用する最低電位に設定する。

【0019】一方で、電極導体膜18とシリコン基板10とは直接接しているために熱抵抗を非常に低くすることができる。ショットキー接合部分でリーク電流が多少発生するが、特に低消費電力用途でなければ全く問題ない。

【0020】W（タングステン）はシリコンと比較的反應しやすいため、電極導体膜18としてW（タングステン）単層を用いず、間にTi（チタン）やTiN（窒化チタン）等を挟むことが好ましい。

【0021】上記実施例のMOSFETはNチャネル型でもPチャネル型でもかまわない。また、半導体素子としてNPN型やPNP型のバイポーラトランジスタ等の能動素子あるいは抵抗等の受動素子を形成した場合についても全く同様である。

【0022】

【発明の効果】以上説明したように本発明は、トランジスタ領域で発生した熱をコンタクトを介して半導体基板に容易に逃がすことができるため、SOI構造でない従来の集積回路とほぼ等しい熱抵抗が達成できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するための断面図である。

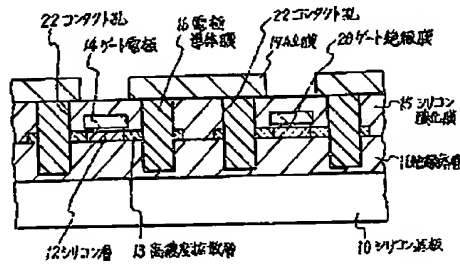
【図2】本発明の第2の実施例を説明するための断面図である。

【図3】従来のSOI構造の集積回路を説明するための断面図である。

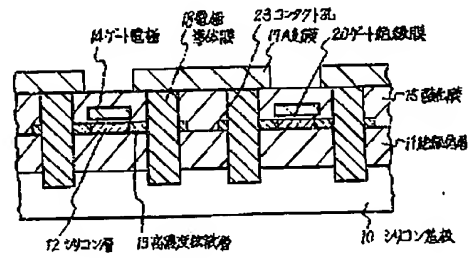
【符号の説明】

- 10 シリコン基板
- 11 絶縁体層
- 12 シリコン層
- 13 高濃度拡散層
- 14 ゲート電極
- 15 シリコン酸化膜
- 16、18、20 電極導体膜
- 17 Al配線膜
- 20 ゲート絶縁膜
- 21、22、23 コンタクト孔

【図1】



【図2】



【図3】

